

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

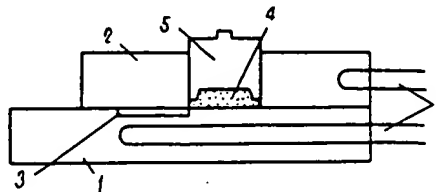
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) LIQUID PHASE GROWTH METHOD

(11) 59-17241 (A) (43) 28.1.1984 (19) JP
 (21) Appl. No. 57-126936 (22) 20.7.1982
 (71) MATSUSHITA DENKI SANGYO K.K. (72) TAKASHI SUGINO(3)
 (51) Int. Cl. H01L21/208

PURPOSE: To grow a crystal of uniform film thickness stably at all times by giving a solution the predetermined difference of height at all times even when the quantity of the solution changes.

CONSTITUTION: A GaAs substrate 3 is set up to a carbon boat proper 1, Ga is entered in a solution reservoir, GaAs polycrystals divided into small pieces are added, and a cover 5 in carbon is placed on the polycrystals. Difference between the end section of the cover and a central section is made some value such as 2mm, and the quantity of the solution 4 is determined so that the height of the solution 4 at the central section reaches 4mm. The crystal is grown for ten min at a growth temperature of 850°C and cooling velocity of 0.5°C/min. The film thickness of a growth layer at the central section of the substrate 3 is 5μm, and film thickness at the end sections of the substrate 3 is 8~10μm. Carbon and quartz used normally as a boat material and materials having the same characteristics as these materials are proper as materials used for the cover at that time.

**(54) QUARTZ GLASS FOR MANUFACTURING SEMICONDUCTOR**

(11) 59-17242 (A) (43) 28.1.1984 (19) JP
 (21) Appl. No. 57-126043 (22) 20.7.1982
 (71) TOSHIBA CERAMICS K.K. (72) HISAYOSHI SATOU(2)
 (51) Int. Cl. H01L21/22

PURPOSE: To disperse thermal energy, and to enable uniform heating even when there are a temperature unevenness in a heat source to some extent by using quartz glass formed through pyrolysis as an inner surface and bubbled quartz glass as an outer surface.

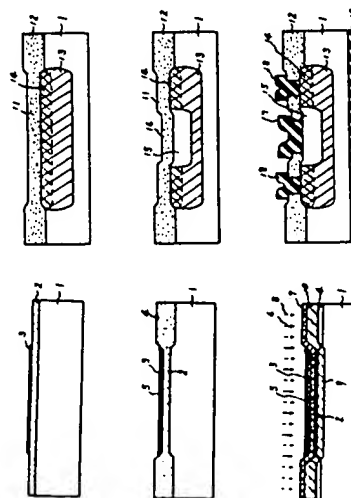
CONSTITUTION: Quartz glass formed by pyrolyzing silica tetrachloride is used as an inner layer, while a quartz glass electrically melted under a vacuum state is used as an intermediate layer and bubbled silica glass formed through a rotary melting method from raw-material powder as an outer layer, one end of a tubular laminate of these three layers is sealed, the laminate is heated from the circumference by an oxyhydrogen burner while being sucked by a vacuum pump from the other end, and three layers are unified. An inner diameter is 130mm, an outer diameter 146mm and length 2,000mm in the size of a core pipe for a diffusion furnace obtained by stretching the laminate out while heating it, and the inner layer is 2mm, the intermediate layer 4mm and the outer layer 2mm in each layer. When the core pipe is compared with a core pipe obtained through a vacuum electric melting method of the same size and used for the diffusion treatment of a silicon wafer for an MOS, it was proved that there existed no defect, while the semiconductor characteristics of the core pipe through the vacuum electric melting method showed scatterings extremely, and it was proved that it could not be adopted for practical use.

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 59-17243 (A) (43) 28.1.1984 (19) JP
 (21) Appl. No. 57-125691 (22) 21.7.1982
 (71) HITACHI SEISAKUSHO K.K. (72) SHIZUNORI OYU(2)
 (51) Int. Cl. H01L21/265

PURPOSE: To obtain the semiconductor device, a diffusion process thereof is easy and which can form a deep P type diffusion layer in a short time at a comparatively low temperature, by using the ion implantation of gallium and boron.

CONSTITUTION: Gallium in a silicon oxide film 2 is diffused to a silicon substrate 1 through heat treatment for two hr at 1,250°C in a steam oxygen atmosphere to form a gallium diffusion layer 13, the boron of a boron ion implantation layer 9 in the silicon substrate 1 is activated and diffused to form a boron diffusion layer 14, and these diffusion layers are used as the P type base diffusion layers. A silicon nitride film on the P type diffusion layers is oxidized completely at that time, a silicon oxide film 11 is formed on the P type diffusion layers, and a silicon oxide film is formed in regions except the P type diffusion layers. An N type emitter diffusion layer 15 is formed through a normal photoetching method and a thermal diffusion method. A transistor for power is prepared by forming an emitter electrode 17, a base electrode 18 and a collector electrode 19 through the photoetching method and an aluminum evaporation method.



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—17243

⑬ Int. Cl.³
H 01 L 21/265

識別記号

庁内整理番号
6851—5F

⑭ 公開 昭和59年(1984)1月28日

発明の数 1
審査請求 未請求

(全 6 頁)

⑮ 半導体装置の製造方法

地株式会社日立製作所中央研究
所内

⑯ 特 願 昭57—125691

⑰ 発 明 者 田村誠男

⑱ 出 願 昭57(1982)7月21日

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑲ 発 明 者 大湯静憲

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑳ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

㉑ 発 明 者 夏秋信義

国分寺市東恋ヶ窪1丁目280番

㉒ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 下記工程を含むことを特徴とする半導体装置
の製造方法。

(1) n型シリコン基板表面にガリウムイオン打
込みの飛程より充分厚く、ほう素イオン打込
みの飛程より充分薄い第1のシリコン酸化膜
を形成し、さらに上記第1のシリコン酸化膜
上に、p型拡散層を形成すべき部分のみ、ガ
リウムイオン打込みおよびほう素イオン打込
みの飛程より充分薄いシリコン酸化膜を形成
する工程、

(2) 上記シリコン酸化膜をマスクとして、上記
p型拡散層を形成すべき部分以外の領域に、
ガリウムおよびほう素イオン打込みのマスク
として効果を持つに充分な厚い第2のシリコ
ン酸化膜を形成する工程、

(3) 上記シリコン酸化膜を通して上記第1のシ
リコン酸化膜中にガリウムをイオン打込みし、

また、上記シリコン酸化膜および上記第1の
シリコン酸化膜を通して、上記n型シリコン
基板中にほう素をイオン打込みする工程、お
よび

(4) 上記基板に熱処理を施し、上記n型シリコ
ン基板のほう素を活性化および拡散させ、ほう
素拡散層を形成し、また、上記第1のシリ
コン酸化膜中のガリウムを上記n型シリコン
基板に拡散させ、上記ほう素拡散層より深く
までガリウム拡散層を形成することにより、
上記第1のシリコン酸化膜下の上記n型シリ
コン基板中にp型拡散層を形成する工程。

2. 上記熱処理において、熱処理雰囲気を酸化性
雰囲気として、上記シリコン酸化膜を全部酸化
させることを特徴とする特許請求の範囲第1項
記載の半導体装置の製造方法。

3. 上記p型拡散層をアイソレーション領域とし、
上記p型拡散層に囲まれたn型層中にほう素の
みによる浅いp型能動層を形成する際、上記ガ
リウムイオン打込み後、上記浅いp型能動層を

形成する領域の上記第2のシリコン酸化膜を除去し、上記n型層に所定のほう素イオン打込みおよび熱処理を行ない、上記p型拡散層および上記浅いp型能動層を同時に形成することを特徴とする特許請求の範囲第1項乃至第2項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は、n型シリコン基板へのp型拡散層の形成方法に係り、特に、ガリウムおよびほう素のイオン打込みにより深いp型拡散層を形成するのに好適な半導体装置の製造方法に関する。

従来、n型シリコン基板に深いp型拡散層を形成する方法として、ほう素の高温・長時間の拡散や、ほう素より拡散が速いアルミニウムやガリウムのアンブル拡散を用いていた。

ほう素の深い拡散においては、n型シリコン基板にイオン打込みやBN対向拡散によりブレデポジションしたのち、非常に高温で長時間の拡散を行なっている。

例えば、基板濃度が 1×10^{15} (キャリア数

$/\text{cm}^3$)のn型シリコン基板に、表面濃度が 1×10^{19} (キャリア数 $/\text{cm}^3$)で接合深さが20 (μm)のp型拡散層を形成する場合、ほう素濃度が 1×10^{15} (個 $/\text{cm}^2$)のブレデポジションを行なった後、1250℃で5時間のドライブイン拡散をする必要があり、プロセスの低温化および短時間化に対して問題があつた。

また、アルミニウムやガリウムのアンブル拡散においては、アルミニウムやガリウムの蒸気圧が低いため、真空度を 10^{-6} トール程度に保つた封管中に、拡散源およびn型シリコン基板を入れて拡散を行なっている。

例えば、上記真空度に保つた封管中でn型シリコン基板(基板濃度 $=1 \times 10^{15} \text{cm}^{-3}$)に、表面濃度が 1×10^{19} (キャリア数 $/\text{cm}^3$)で接合深さが20 (μm)のp型拡散層を形成する場合、1250℃で拡散するとして、アルミニウムでは、1時間程度、ガリウムでは2時間程度の拡散で達成でき、ほう素に比べて非常に短時間で済むが、以下の様な問題があつた。

まず第1点は、装置やプロセスが複雑で量産性が低く、コスト高になつてしまう。

第2点として、アンブル拡散後、様々な熱処理プロセスが入るので、シリコン基板のp型拡散層の表面附近のアルミニウムやガリウムが外向拡散して、表面附近のp型キャリア濃度が低下してしまうため、アンブル拡散後、ほう素拡散を行なつて表面附近のp型キャリア濃度を補なつてやる必要があり、拡散プロセスが多くなるという問題があつた。

本発明の目的は、従来の深いp型拡散層を形成する方法の有する上記問題を解決し、ガリウムおよびほう素のイオン打込みを用いることにより、拡散プロセスが容易で、短時間かつ比較的低温で、深いp型拡散層を形成することのできる半導体装置の製造方法を提供することにある。

上記目的を達成するため、本発明は、以下の方法により、n型シリコン基板にp型拡散層を形成するものである。

n型シリコン基板表面上に、ガリウムイオン打

込みの飛程より充分厚く、かつ、ほう素イオン打込みの飛程より充分薄いシリコン酸化膜を形成し、さらに、ガリウムイオン打込みおよびほう素イオン打込みの飛程より充分薄いシリコン酸化膜を形成する。

その後、上記シリコン酸化膜を通して上記シリコン酸化膜中にガリウムイオン打込みを行ない、さらに、上記シリコン酸化膜および上記シリコン酸化膜を通して上記n型シリコン基板中にほう素イオン打込みを行なう。

この試料を熱処理すると、酸化膜・酸化膜を通して上記n型シリコン基板中に打込まれたほう素は活性化および拡散して、p型拡散層が形成され、また、上記シリコン酸化膜中に打込まれたガリウムは上記シリコン酸化膜をマスクとして上記n型シリコン基板に効率良く拡散し、ほう素の拡散によるp型拡散層より深いガリウムによるp型拡散層が形成される(これはガリウムの拡散係数がほう素より一桁以上大きい事による)。

このように、本発明はp型拡散層の形成におい

て、比較的浅い部分はほう素拡散層により、また、比較的深い部分はガリウム拡散層により形成することをガリウムおよびほう素の同時イオン打込み、および同時熱処理により達成できる。

また、通常シリコン基板中のほう素イオン打込み層は、酸化性雰囲気中で熱処理すると、形成されるシリコン酸化膜中に取り込まれるため、シリコン基板中のほう素の量は減少し、ほう素の量の制御性が悪くなるが、本発明においては、上記シリコン窒化膜が完全に酸化されるまでの熱処理において、ほう素が充分深くシリコン基板に拡散するため、上記シリコン窒化膜を完全に酸化し、ひきつづき酸化熱処理をしても、ほう素のシリコン酸化膜へ取り込まれる量は無視できるほど小さい。

さらに、熱処理を酸化性雰囲気で行なうことにより、上記シリコン窒化膜を完全に酸化させることにより、本発明によりp型拡散層を形成したのちのホットエッチングが、上記シリコン窒化膜およびシリコン酸化膜の2つの層の複雑なものから、シリコン酸化膜のみの簡単なものになる。

nm酸化され、その膜上には膜厚16nmのシリコン酸化膜5が形成された。

次に、第3図に示すように、ガリウムイオン6を100keVで $5 \times 10^{15} \text{ ions/cm}^2$ だけイオン打込みし、上記シリコン酸化膜5および上記シリコン窒化膜3を通して上記シリコン酸化膜2中に、およびシリコン酸化膜4中にガリウムイオン打込み層7を形成したのち、ほう素イオン8を100keVで $2 \times 10^{15} \text{ ions/cm}^2$ だけイオン打込みし、上記のシリコン酸化膜5、シリコン窒化膜3およびシリコン酸化膜2を通してシリコン基板1中にほう素イオン打込み層9を、また、シリコン酸化膜4中にほう素イオン打込み層10を形成した。

その後、第4図に示すように、水蒸気酸素雰囲気中で、1250℃、2時間の熱処理を行ない、上記シリコン酸化膜2中のガリウムをシリコン基板1に拡散し、深さ17μmのガリウム拡散層13を形成し、また、シリコン基板1中の上記ほう素イオン打込み層9のほう素を活性化ならびに拡散させ、深さ10μmのほう素拡散層14を形

以下、本発明を、電力用トランジスタの薄いベース形成および高耐圧集積回路のアイソレーション形成に適用した実施例を用いて詳細に説明する。
実施例

まず、電力用トランジスタへの適用について、第1図～第6図を用いて説明する。

第1図に示すように、抵抗率が $5 \Omega \cdot \text{cm}$ のn型シリコン基板1の表面に、水蒸気酸素雰囲気中で1000℃、30分の酸化により膜厚が0.3μmのシリコン酸化膜2を形成し、さらに、通常のCVD法を用いて膜厚が25nmのシリコン窒化膜3を形成し、通常のホットエッチング法により、ベース領域以外の部分のシリコン窒化膜を除去した。

次に、第2図に示すように、水蒸気酸素雰囲気中で1000℃、3時間の酸化を行ない、上記シリコン窒化膜3をマスクとして、ベース領域以外の部分に、膜厚が0.9μmのシリコン酸化膜4を形成した。

このとき、シリコン窒化膜3は、表面から10

成し、これらの拡散層をp型ベース拡散層とした。

このとき、p型拡散層上にあつたシリコン窒化膜は完全に酸化され、p型拡散層上には膜厚が1.2μmのシリコン酸化膜11が形成され、また、p型拡散層以外の領域では、膜厚が2.3μmのシリコン酸化膜が形成された。

次に、第5図に示すように、通常のホットエッチング法ならびに熱拡散法により、表面濃度が $5 \times 10^{20} \text{ cm}^{-3}$ で接合深さが16μmのn型エミッタ拡散層15を形成した。

このとき、エミッタ拡散層15は、酸化性雰囲気中で1200℃、5時間のりん拡散により形成されているので、p型ベース拡散層のほう素およびガリウムが拡散し、p型ベース拡散層の深さが22μm程度に達する。

また、ここで、ガリウム拡散層13の表面附近のガリウム濃度は、ガリウムの外向拡散により低下するが、ほう素拡散層14のほう素により、p型キャリア濃度は保たれている。

そして、第6図に示すように、通常のホットエン

チング法ならびにアルミニウム蒸着法により、エミッタ電極17、ベース電極18およびコレクタ電極19を形成することにより、電力用トランジスタを作製した。

このようにして得られた電力用トランジスタの特性は、従来の方法で得られたものと同等であり、また、ベース拡散層形成のための時間を、従来の方法に比べ半分以下に短縮できた。

さらに、イオン打込み法を用いることにより、素子特性のパラッキも軽減できるため、制御性が良くなり、また、プロセスの自動化・簡素化に期待が持てる。

次に、高耐圧集積回路のアイソレーション形成への適用について、第7図～第10図を用いて説明する。

第7図に示すように、p型シリコン基板20に、通常の拡散法ならびにエビタキシャル成長法により、膜厚 $1.0\mu\text{m}$ でn型濃度 $5 \times 10^{16}\text{cm}^{-3}$ の成長層21およびn型埋込み層22の形成された基板を用いて、基板表面上に通常の熱酸化法により膜厚 0.2

μm のシリコン酸化膜23を形成し、さらに、CVD法ならびにホットエッチング法により、アイソレーション領域に膜厚 $1.7\mu\text{m}$ のシリコン窒化膜を形成した。

その後、第8図に示すように、まず、水蒸気酸素雰囲気中で 1000°C 、1時間の酸化を行ない、シリコン窒化膜24をマスクとして、膜厚 $0.5\mu\text{m}$ のシリコン酸化膜25を形成したのち、ガリウムイオン26を 60keV で $1 \times 10^{16}\text{ions/cm}^2$ だけイオン打込みし、シリコン酸化膜23および25中にガリウムイオン打込み層27を形成した。

次に、通常のホットエッチング法を用いて、ベース領域とすべき部分28のシリコン酸化膜25を除去したのち、ほう素イオン29を 60keV で $1.5 \times 10^{16}\text{ions/cm}^2$ だけイオン打込みし、シリコン窒化膜24のあるアイソレーション領域のエピ成長層21にほう素イオン打込み層30を、ベース領域とすべき部分28のエピ成長層21にほう素イオン打込み層31を形成した。

次に、第9図に示すように、乾燥窒素雰囲気中で 1150°C 、1時間の熱処理および、水蒸気酸素雰囲気中で 1150°C 、2時間の熱処理を行ない、深さ $1.7\mu\text{m}$ のガリウム拡散層33および深さ $4\mu\text{m}$ のほう素拡散層34によりp型アイソレーション領域を形成し、また、ベース領域とすべき部分28に表面濃度が $1 \times 10^{19}\text{cm}^{-3}$ で接合深さ $4.2\mu\text{m}$ のp型ベース領域35を形成した。

このとき、アイソレーション領域ではシリコン窒化膜が全部酸化され膜厚 $0.7\mu\text{m}$ のシリコン酸化膜36が、ベース領域では膜厚 $1.1\mu\text{m}$ のシリコン酸化膜37が、またその他の部分では膜厚 $1.3\mu\text{m}$ のシリコン酸化膜38が形成された。

そして、第10図に示すように、通常のホットエッチング法、熱拡散法ならびにアルミニウム蒸着法により、n型エミッタ拡散層39、n型コレクタコンタクト拡散層40、アイソレーション電極41、コレクタ電極42、ベース電極43およびエミッタ電極44を形成することにより、高耐圧集積回路を作製した。

この結果、本発明の方法によれば、アイソレーション拡散層形成のための時間は、半分以下にでき、また、アイソレーション領域およびベース領域へのほう素イオン打込みおよび拡散が同時にでき、プロセスが非常に簡素化された。

以上説明したように、本発明によれば、比較的深いp型拡散層を形成する際、浅い部分はほう素より、また深い部分はガリウムにより形成するため、ガリウムの拡散係数の大きい利点を有効に利用でき、熱処理時間がほう素拡散のみによるものより半分以下で済み、またプロセスの低温化が可能である。

また、イオン打込み法を用いるので、プロセスの制御性が良く、プロセスの自動化・簡素化が期待できる。

さらに、本発明によりp型拡散層を形成する際、熱処理を酸化性雰囲気で行なえば、ガリウム拡散のためのシリコン窒化膜を完全に酸化できるため、シリコン窒化膜除去工程を除くことができ、ホットエッチング工程がシリコン酸化膜のみの簡単なも

のにてきる。

この他、本発明によれば、深さが倍半分も異なるp型拡散層が、同時打込みおよび同時熱処理により形成できるので、プロセスを1つ除くことができ、プロセスが短時間化、簡素化される。

図面の簡単な説明

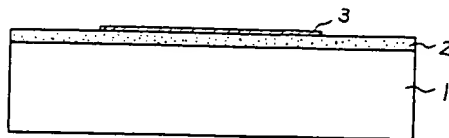
第1図乃至第6図は本発明を大電力トランジスタのベース形成に適用した実施例を示す工程図、第7図乃至第10図は本発明を高耐圧集積回路に適用した実施例を示す工程図である。

1…n型シリコン基板、2、4、5、11、12、16、23、25、36、37、38…シリコン酸化膜、3、24…シリコン窒化膜、6、26…ガリウムイオン、7、27…ガリウムイオン打込み層、8、29…ほう素イオン、9、10、30、31、32…ほう素イオン打込み層、13、33…ガリウム拡散層、14、36、37…ほう素拡散層、15、39…n型エミッタ拡散層、17、44…エミッタ電極、18、43…ベース電極、19、42…コレクタ電極、20…p型シリコン

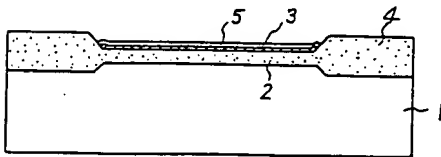
基板、21…n型エピタキシャル成長層、22…n型埋込み層。

代理人 弁理士 薄田利幸

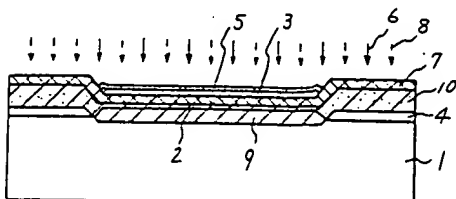
第1図



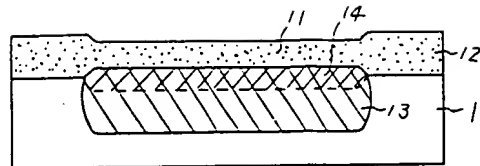
第2図



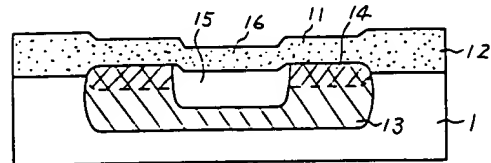
第3図



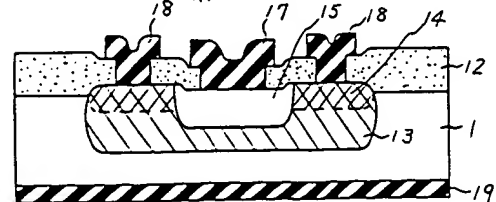
第4図



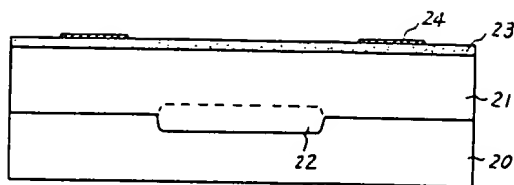
第5図



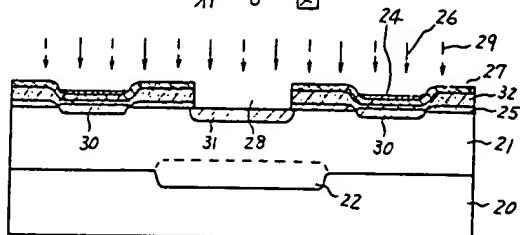
第6図



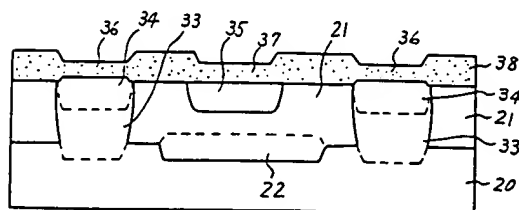
第 7 図



第 8 図



第 9 図



第 10 図

